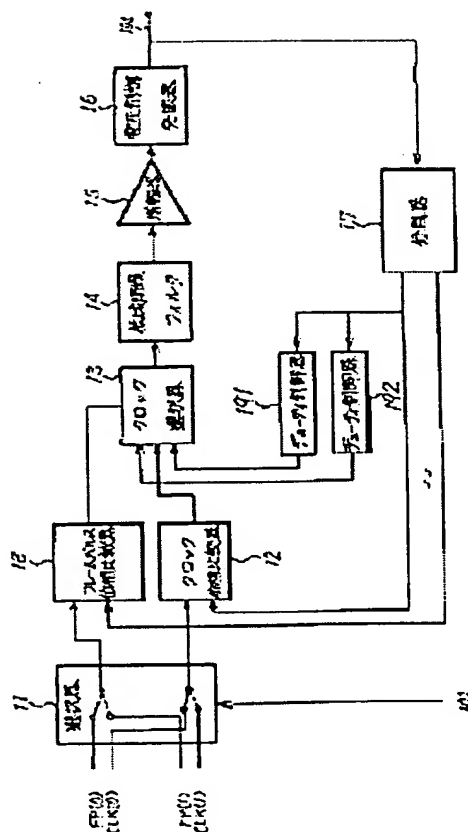


Patent number:	JP8037459
Publication date:	1996-02-06
Inventor:	FUKUSHIMA SHIYOUYA
Applicant:	NEC CORP
Classification:	
- international:	H03L7/00; H03L7/087; H04L7/033
- european:	
Application number:	JP19950116675 19950516
Priority number(s):	

PURPOSE:To attain smooth phase matching without a phase jump by selecting an output of a clock phase comparator or an output of a duty controller at a clock selector.

CONSTITUTION: A line switching signal 101 is given to a selector 11 to switch the line from the active system into the standby system. The phase of the frame pulse of the standby system and the phase of the frame pulse of the active system given to a frame phase comparator 18 are compared and a phase difference is outputted to a clock selector 13. When the phase difference of a prescribed value is in existence in the PLL controller after line changeover, the controller makes phase matching by using a simulating clock in which a duty of a frequency division clock is set larger than 50% or smaller than it. When the phase difference is positive, that is, the phase of the frame pulse of the standby system is led, since the phase of the active system is advanced, a dummy clock having a duty larger than 50% of the simulating clock is selected, and conversely when the phase is negative, the simulating clock with a duty smaller than 50% is selected.



<http://v3.espace.net.com/text.doc?DB=EPODOC&IDX=JP8037459>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-37459

(43) 公開日 平成 8 年 (1996) 2 月 6 日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 L 7/00
7/087
H 0 4 L 7/033

C

H 0 3 L 7/ 08

P

H 0 4 L 7/ 02

B

審査請求 有 請求項の数17 O L (全 18 頁)

(21) 出願番号 特願平7-116675

(22) 出願日 平成 7 年 (1995) 5 月 16 日

(31) 優先権主張番号 特願平6-103650

(32) 優先日 平 6 (1994) 5 月 18 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 福島 唱也

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

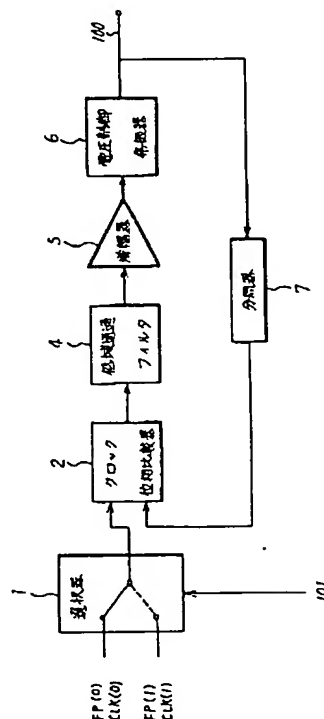
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 PLL 制御装置

(57) 【要約】

【目的】 現用系と予備系の回線切替を有する PLL 制御装置において、なめらかに位相飛びのない位相合わせを行えるようにする。

【構成】 フレームパルスからなる現用系と予備系の入力信号を回線切替信号により選択する選択器を有し、回線切替前後においてフレームパルスの位相差がフレームパルス位相比較器により出力される。一方、分周器から出力される分周クロックは分岐され、分岐されたクロックはデューティ制御器により、デューティが 50 % より大きい疑似クロックと小さい疑似クロックに変化させられる。PLL 制御回路のクロック位相比較器と低域通過フィルタの間には、フレームパルスの位相差に応じて分周クロックと疑似クロックのうちの一つを選択するクロック選択器を備えている。位相合わせが進み、フレームパルスの位相が一致したときに、選択器は分周クロックを選択し、位相合わせを終了する。



【特許請求の範囲】

【請求項 1】・フレームパルスとクロックを含む複数の入力信号間で回線切替を行い、選択入力信号を出力する選択手段と、

低域通過フィルタと、増幅器と電圧制御発振器と、分周クロックを出力する分周器、前記分周クロックと前記入力信号の前記クロックの間で位相を比較して位相差に応じてクロックを選択して出力するクロック位相比較器とを含み、前記クロック位相比較手段に前記選択信号を受けて、前記選択信号のクロックと選択される前のクロックの位相合わせを行う PLL 制御部と、

回線切替前後で前記入力信号の位相を比較して、位相差を出力する入力信号位相比較手段と、

前記分周クロックを分岐して分岐分周クロックを出力する分周クロック分岐手段と、

前記分岐分周クロックのデューティをあらかじめ定められた値に設定して、疑似クロックを出力するデューティ制御手段と、

前記位相比較手段と、前記低域通過フィルタの間に配置され、前記分周クロックと前記疑似クロックを前記位相差に応じて選択するクロック選択手段とを備えたことを特徴とする PLL 制御装置。

【請求項 2】 前記クロック選択手段は、前記位相差があらかじめ設定された値より大きいときには、前記疑似クロックを選択し、

前記位相差があらかじめ設定された値より小さいときには、前記分周クロックを選択する手段を備えていることを特徴とする請求項 1 記載の PLL 制御装置。

【請求項 3】 前記分周クロックは、デューティが 50 % であり、

前記疑似クロックは、デューティが 50 % より大きい少なくとも一つの疑似クロックと、デューティが 50 % より小さい少なくとも一つの疑似クロックとを含むことを特徴とする請求項 2 記載の PLL 制御装置。

【請求項 4】 周波数 f の第 1 のフレームパルスと第 1 のクロックを含む第 1 の入力信号と、周波数 f の第 2 のフレームパルスと第 2 のクロックを含む第 2 の入力信号が入力され、回線切替信号により前記第 1 の入力信号と前記第 2 の入力信号の回線を切替えて、選択されたフレームパルスとクロックを出力する選択手段と、

入力されたクロックの電圧の低域を通過させ、低域電圧を出力する低域通過フィルタと、

前記低域電圧を増幅して制御電圧を出力する増幅器と、

前記制御電圧に応じてクロックを発振させて出力クロックを外部に出力するとともに、前記出力クロックの一部を分岐して分岐クロックを出力する電圧制御発振器と、前記分岐クロックを分周して、分周クロックと分周フレームパルスを出力する分周器と、

前記選択フレームパルスと前記分周フレームパルスの位相を比較して、位相差を出力するフレームパルス位相比

較手段と、

前記選択クロックと前記分周クロックの位相を比較して、位相差に応じたデューティを有する基準クロックを出力するクロック位相比較手段と、

前記分周クロックのデューティを変化させて疑似クロックを出力するデューティ制御手段と、

前記位相差に応じて、前記基準クロックと前記疑似クロックを選択して、位相制御クロックを前記低域通過フィルタに出力するクロック選択手段とを備えたことを特徴とする PLL 制御装置。

【請求項 5】 前記クロック選択手段は、前記位相差があらかじめ設定された値より大きいときには、前記疑似クロックを選択し、

前記位相差があらかじめ設定された値より小さいときには、前記分周クロックを選択する手段を備えたことを特徴とする請求項 4 記載の PLL 制御回路。

【請求項 6】 前記デューティ制御手段は、デューティが 50 % より大きい少なくとも一つの前進疑似クロックと、

デューティが 50 % より小さい少なくとも一つの後退疑似クロックとを出力することを特徴とする請求項 5 記載の PLL 制御装置。

【請求項 7】 前記クロック選択器は、前記回線切替前の前記フレームパルスの位相が前記回線切替後の前記フレームパルスの前記フレームパルスの位相に比べて、前記周波数 f の 1 周期分の半分より進んでいる場合は、前記前進疑似クロックを、前記回線切替前の前記フレームパルスの位相が前記回線切替後の前記フレームパルスの前記フレームパルスの位相に比べて、前記周波数 f の 1 周期分の半分より遅れている場合は、前記後退疑似クロックを、前記位相差が前記周波数 f の 1 周期以内の差である場合は、前記基準クロックを選択する手段を含むことを特徴とする請求項 5 記載の PLL 制御装置。

【請求項 8】 前記デューティ制御手段は、前記分周クロックのデューティを変化させて少なくとも一つの疑似クロックを出力する手段と、

前記少なくとも一つの疑似クロックのそれぞれを分岐して、分岐疑似クロックを出力する疑似クロック分岐手段と、

前記分岐疑似クロックのそれぞれを反転させて、反転疑似クロックを出力する位相反転手段とを含むことを特徴とする請求項 6 記載の PLL 制御装置。

【請求項 9】 前記 PLL 制御装置はさらに、前記回線切替信号により時間計測を開始し、あらかじめ設定された停止設定時間を経過すると前記クロック選択手段の選択を基準クロックに切替える選択制御信号を前記クロック選択手段に出力するタイムゲートを備えていることを特徴とする請求項 6 記載の PLL 制御装置。

【請求項 10】 前記停止設定時間は、前記周波数 f の

1 周期よりも小さい時間に設定されていることを特徴とする請求項 8 記載の PLL 制御装置。

【請求項 1 1】 前記デューティ制御手段は、デューティが 50% より大きい少なくとも 2 つの前進疑似クロックと、

デューティが 50% より小さい少なくとも 2 つの後退疑似クロックとを出力する手段を備え、

前記タイムゲートは、あらかじめ設定された時間経過後に順次、前記疑似クロックをそのデューティの大きい疑似クロックから小さい疑似クロックへ切替える選択制御信号を前記選択手段に出力する手段を備えていることを特徴とする請求項 6 記載の PLL 制御装置。

【請求項 1 2】 前記デューティ制御手段は、前記分周クロックのデューティを変化させて少なくとも 2 つの疑似クロックを出力する手段と、

前記少なくとも一つの疑似クロックのそれぞれを分岐して、分岐疑似クロックを出力する疑似クロック分岐手段と、

前記分岐疑似クロックのそれぞれを反転させて、反転疑似クロックを出力する位相反転手段とを備え、

前記タイムゲートは、あらかじめ設定された時間経過後に順次、前記疑似クロックをそのデューティの大きい疑似クロックから小さい疑似クロックへ切替える選択制御信号を前記選択手段に出力する手段を備えていることを特徴とする請求項 6 記載の PLL 制御装置。

【請求項 1 3】 前記 PLL 制御装置はさらに、前記制御電圧を検出して選択制御信号を送出する制御電圧検出手段を備え、

前記クロック選択手段は、前記制御信号に応じて前記基準クロックと前記疑似クロックの一つを選択する手段を含むことを特徴とする請求項 4 記載の PLL 制御装置。

【請求項 1 4】 前記デューティ制御手段は、デューティが 50% より大きい少なくとも 2 つの前進疑似クロックと、

デューティが 50% より小さい少なくとも 2 つの後退疑似クロックとを出力する手段を備え、

前記制御電圧検出手段は、あらかじめ設定された基準制御電圧に応じて、順次、前記疑似クロックをそのデューティの大きい疑似クロックから小さい疑似クロックへ切替える選択制御信号を前記選択手段に出力する手段を備えていることを特徴とする請求項 1 3 記載の PLL 制御装置。

【請求項 1 5】 前記デューティ制御手段は、前記分周クロックのデューティを変化させて少なくとも 2 つの疑似クロックを出力する手段と、

前記少なくとも一つの疑似クロックのそれぞれを分岐して、分岐疑似クロックを出力する疑似クロック分岐手段と、

前記分岐疑似クロックのそれぞれを反転させて、反転疑似クロックを出力する位相反転手段とを備え、

前記制御電圧検出手段は、あらかじめ設定された基準制御電圧に応じて、順次、前記疑似クロックをそのデューティの大きい疑似クロックから小さい疑似クロックへ切替える選択制御信号を前記選択手段に出力する手段を備えていることを特徴とする請求項 1 3 記載の PLL 制御装置。

【請求項 1 6】 前記 PLL 制御装置はさらに、前記制御電圧を検出して選択制御信号を送出する制御電圧検出手段を備え、

前記デューティ制御手段は、前記制御信号に応じて前記分周クロックの前記デューティを制御する手段を含むことを特徴とする請求項 1 5 記載の PLL 制御装置。

【請求項 1 7】 前記選択制御信号は、前記制御電圧が小さくなるにつれて、前記デューティを小さくするように設定されていることを特徴とする請求項 1 6 記載の PLL 制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は同期系大容量伝送装置のクロック抽出に関し、特に現用系と予備系に二重化された伝送装置における回線切替に伴うクロックの冗長切替を行う PLL (Phase Locked Loop) 制御装置に関する。

【0002】

【従来の技術】 同期系伝送装置においては、システムを冗長に構成するために、一般的に装置内部のクロック系は二重化されている。二重化されたクロックの切替を行う際には、主信号にできるだけ影響を与えないことが要求される。ところが、回線切替の際に主信号に影響を与える場合があり、この要因として、一般にクロック切替に伴うクロックの瞬断、あるいはクロックの位相が合わないことに起因する、いわゆる位相飛びが存在する。

【0003】 こうした従来の PLL 制御装置が抱える問題を説明する前に、二重化された従来の PLL 制御装置の構成について簡単に説明する。図 10 に示されるように、従来の PLL 制御装置は、クロックの位相合わせを行うため、クロック位相比較器 2、低域通過フィルタ 4、増幅器 5、電圧制御発振器 6、及び分周器 7 を備えている。入力されたクロックの位相合わせの基本的な動作についてはここでは省略する。現用系と予備系の 2 回線をもつ PLL 制御装置では、上記構成に加えて、クロック位相比較器の入力側に、現用系と予備系の回線切替を行う選択器 1 が設けられている。

【0004】 現用系の入力信号のフレームパルス FP

(0) あるいはこれに加えて入力信号に含まれるクロック CLK (0) が選択器 1 に入力される。同様に、予備系の入力信号のフレームパルス FP (1) 及びクロック CLK (1) も入力される。選択器 1 には、外部から回線切替信号 101 が入力される。回線切替信号が入力されると、選択器 1 の回線は、例えば、現用系から予備系

に切替えられ、同時に、後段のPLL制御回路により予備系のフレームパルスの位相に一致するように現用系のフレームパルスの位相合わせが行われる。

【0005】通常は現用系のフレームパルスと予備系のフレームパルスの位相は一致していない。従来のPLL制御装置では回線切替が行われると、フレームパルスの位相差に係わらず、位相を一致させる方向に電圧制御発振器6の制御電圧が設定される。このとき、制御電圧は最大値に設定されるので、急激な位相変化を生じ、いわゆる位相飛びを起こす。

【0006】そこで、通常はクロック切替に伴う上記影響がないように講じられたPLL制御装置が用いられている。このようなPLL制御装置としては、例えば、特開昭63-228821号公報や特開平4-57536号公報に記載のPLL制御装置がある。これらのPLL制御装置を用いることによって、二重化されたクロック発生部の切替によって瞬断が生じて、PLL制御装置で吸収される。従って、信号処理部へ供給される装置内のクロックには瞬断が発生しない。

【0007】従来のPLL制御装置では、上記クロックの瞬断あるいは位相飛びを防ぐためにPLLの比較周波数をできるだけ低くしている。あるいは、PLLのループ時定数を非常に大きくしている。これらの措置により、電圧制御発振器の制御電圧がゆっくりとなめらかに変化するようにしている。PLL制御装置は出力クロック周波数と位相がゆっくりと変化して再同期するため、主信号に影響を与えずにクロック切替を行うことができる。また、これとは別に周波数精度が高く、制御範囲が非常に狭い電圧制御発振器をPLL制御装置に用いる構成が知られている。

【0008】

【発明が解決しようとする課題】ところが、従来のPLL制御装置では、PLLのループ時定数を非常に大きくするために、位相比較周波数を低くしなければならない。しかしながら、近年の伝送容量の増大に伴い、特に大容量伝送装置では装置内部クロックとして高い周波数が要求される。一方、クロック切替時の許容位相ずれに対する規定も非常に厳しい。このため、高い周波数の電圧制御発振器を適用する必要がある。さらに、PLLにより生じる定常位相誤差をできるだけ小さくしなければならない。従って、PLL位相比較周波数をむやみに低くできないという問題がある。また、周波数精度が高く、制御範囲の非常に狭い電圧制御発振器は一般的に高価であり、適用にはコスト面での制約を受ける。

【0009】また、従来のPLL制御装置では、PLLのループ時定数を非常に大きくするために、位相比較周波数を低くしなければならない。しかしながら、近年の伝送容量の増大に伴い、特に大容量伝送装置では装置内部クロックとして高い周波数が要求される。一方、クロック切替時の許容位相ずれに対する規定も非常に厳し

い。このため、高い周波数の電圧制御発振器を適用する必要がある。さらに、PLLにより生じる定常位相誤差をできるだけ小さくしなければならない。従って、PLL位相比較周波数をむやみに低くできないという問題がある。また、周波数精度が高く、制御範囲の非常に狭い電圧制御発振器は一般的に高価であり、適用にはコスト面での制約を受ける。

【0010】本発明のPLL制御装置の目的は、大容量伝送装置における現用系から予備系への回線切替において、特殊な電圧制御発振器を用いることなく、しかも位相飛びの生じないなめらかなクロック切替を行うことができるようにすることにある。

【0011】

【課題を解決するための手段】本発明のPLL制御装置は、クロックとこのクロックに同期しているフレームパルスをそれぞれ含み、互いに異なる位相を有する周波数fの第1の信号（現用系）と第2の信号（予備系）が入力される選択器を有する。この選択器では、外部から入力される回線切替信号により第1の信号と第2の信号のうちの信号が選択される。入力信号のクロックとPLLにおいて分周器から出力される分周クロックの位相を比較して、位相差に応じたデューティが設定された基準クロックを出力するクロック位相比較器を有している。また、PLL制御回路を構成するための低域通過フィルタ、増幅器、電圧制御発振器、分周器を有している。

【0012】上記構成に加えて、本発明のPLL制御装置では、第1の入力信号と第2の入力信号の両フレームパルスの位相を比較し、位相差を出力するフレームパルス位相比較器を備えている。一方、分周器から出力される分周クロックを、その周波数は一定のままで、デューティをあらかじめ設定された値に変えた疑似クロックを出力するデューティ制御器を備えている。そして、クロック位相比較器の出力とデューティ制御器の出力とから、フレームパルスの位相差に応じて、どちらかを選択するクロック選択器を備えている。このクロック選択器は、クロック位相比較器と低域通過フィルタの間に配置されている。

【0013】回線切替に伴ってクロックの位相合わせを行う際に、切替後のクロックと分周クロックをそのままの状態位相比較して基準クロックを設定すると、フレームパルスの位相差が大きい場合には、急激な位相合わせを行うことになる。これが位相飛びの原因になる。そこで、本発明のPLL制御装置では、切替前後フレームパルスの位相差が大きい場合には、疑似クロックを用いて位相合わせを行う。疑似クロックは、あらかじめデューティが50%よりずらせてある、急激な位相合わせを行うような制御電圧の設定が回避される。この結果、位相飛びを生じず、なめらかな位相合わせが可能になる。

【0014】通常、回線切替前のフレームパルスの位相が切替後のフレームパルスのそれよりも遅れている場合

にも、進んでいる場合にも対応できるように、デューティが50%よりも大きい疑似クロックと小さい疑似クロックが用意される。回線切替前のフレームパルスの位相が切替後のフレームパルスのそれよりも遅れている場合には、切替前のフレームパルスの位相状態を進めるように位相合わせを行う必要があることから、50%よりも大きいデューティをもつ疑似クロックが選択される。逆の場合には、50%よりも小さい疑似クロックが選択される。

【0015】フレームパルス比較器で検出された位相差に応じて、基準クロックか疑似クロックのいずれを選択するかが決められる。両フレームパルスの位相差が大きい場合には、疑似クロックが選択される。これに対して、初期的に両フレームパルスの位相差がすでに小さい場合、あるいは位相合わせの結果、位相差が十分小さくなった場合には、基準クロックの選択に切り替えられる。

【0016】本発明のPLL制御装置では、クロック選択器は、両フレームパルスの位相差がクロックの周波数 f の1周期分より大きく進んでいる場合は、分周クロックが選択される。一方、基準フレームパルスの位相状態が周波数 f の1周期分より大きく遅れている場合は、疑似クロックを選択する。両フレームパルスの位相差がクロックの周波数 f の1周期以内の差である場合には、基準クロックが選択される。

【0017】このようにすることにより、設定されたデューティに応じて、電圧制御発振器の電圧が設定される。すなわち、最大値に電圧が設定されず、クロックの位相合わせのための電圧を任意に設定することができる。従って、急激なクロックの位相変化を防ぎ、徐々に位相合わせを行うことができる。

【0018】デューティ制御器によるクロックのデューティは、位相合わせのために許容される時間により定められる。位相合わせに十分な時間をかけることができるのであれば、デューティ50%の近傍に設定すれば良い。一方、短時間に位相合わせを行う必要があれば、デューティの値は比較的大きな値に設定されるであろう。

【0019】予備系の入力信号のフレームパルスの位相が現用系のそれに比べて進んでいる場合と遅れている場合のそれぞれに対応する必要がある。従って、デューティ制御器においては、クロックのデューティは、50%よりも大きい値と小さい値の両方が設定され、少なくとも2つの疑似クロックが出力する。予備系のフレームパルスの位相が現用系のそれよりも進んでいる場合には、クロックの位相も進ませる必要がある。位相合わせの間は、デューティが50%より大きい疑似クロックが選択される。逆にフレームパルスが遅れている場合には、50%よりも小さいデューティを有する疑似クロックが選択される。

【0020】デューティが50%よりも大きい疑似クロ

ックと小さいクロックを発生させるため、それぞれ2つのデューティ制御器を備えている。また、一つのデューティ、例えば50%より大きいデューティを有する疑似クロックを発生するデューティ制御器を一つ備え、この出力を2分岐し片方を反転器により反転させてもよい。

【0021】また、回線切替に必要な時間を一定時間内に抑えたい場合には、回線切替信号に連動して動作するタイムゲートをクロック選択器に備えることも可能である。回線切替信号が入力されて、回線切替の開始時点から時間を計測し、所定の時間経過後には、強制的にクロック選択器の選択を分周器からのクロックに切替えて、位相合わせを終了させる。このようにしても、すでに位相合わせが進んでいるので、従来のような大きな位相飛びを生じることがない。しかも、必ず所定の時間内に回線を完全に切替えることができる。通常、この設定時間は周波数 f の1周期よりも小さい時間に設定される。

【0022】デューティ制御器で設定されるデューティは50%よりも大きい場合と小さい場合の2水準だけでなく、さらに細かく設定することもできる。例えば、デューティ制御器を4つ設け、デューティが20%、35%、65%、80%の4水準とすることもできる。このとき、デューティ65%と80%のクロックをそれぞれ発生させるデューティ制御器を設け、2分岐した片方にそれぞれ反転器を設けてもよい。

【0023】また、構成においても、クロック選択にタイムゲートを接続することも可能である。この場合、所定時間経過後に、順次デューティを50%に近づけるように強制切替を行えば、なめらかな位相合わせを行うことができる。

【0024】さらに、増幅器から出力される制御電圧を検出し、検出された電圧により随時位相合わせの進行状態を知ることができる。この位相合わせの進行状態に応じて、選定されるべきデューティを決めて、疑似クロックを選定することも可能である。同様に、疑似クロックを選定する代わりに、デューティ制御器においてデューティの設定値を変化させてもよい。

【0025】本発明のPLL制御装置は、入力信号の切替の際に切替前後に係る信号のフレームパルスの位相差を比較し、位相差に応じてクロック選択器で切替前の分周されたクロックを選択するか、切替後のクロックパルスを選択するかを決定する。位相差が所定の値よりも大きいときは、分周されたクロックを選択し、小さくなったときに切替後のクロックを選択することにより、位相とびが生じないようにゆっくりとなめらかに位相合わせを行わうことができる。

【0026】また、クロック選択器に入力される上記分周されたクロックを、入力信号の切替開始からあらかじめ所定の時間経過後は分周クロックが選択されないようにするタイムゲートを設けることも可能である。タイムゲートにより、無条件で切替後のクロックが選択される

ようにすることで、一定時間内に確実に切替後のクロック一致を行うことができる。

【0027】

【実施例】本発明のPLL制御装置の構成を図面を参照しながら詳細に説明する。

【0028】次に本発明について図面を参照して説明する。

【0029】図1は、本発明のPLL制御装置の第1の実施例の構成を示すブロック図である。本発明のPLL制御装置は、クロック(CLK)とこれに同期するフレームパルス(FP)を有する現用系の信号(CLK/FP(0))と、これとは位相が異なる予備系の信号(CLK/FP(1))が入力される選択器1を備えている。この選択器1の入力は、従来の構成のようにフレームパルスとクロックが同じ端子から入力されてもよい。ここでは、説明をより分かりやすくするために、別々の端子から入力されるものとする。

【0030】選択器1の後段には、PLL制御回路の基本を構成する低域通過フィルタ14、増幅器15、電圧制御発振器16および分周器17を備えている。これらの構成に加えて、本発明のPLL制御装置では、分周器17の分周クロックを出力側にそのクロックのデューティを制御するデューティ制御器191及び192、クロック選択器13を備えている。

【0031】選択器1は、外部から入力される回線切替信号101により回線切替が行われ、入力信号が選択される。入力信号が選択されると、その信号のフレームパルスFPとクロックCLKは、フレームパルス位相比較器18とクロック位相比較器12にそれぞれ入力される。クロック位相比較器12では、分周器17から出力される分周された分周クロックと選択器1から出力される入力信号のクロックの位相差が比較され、位相差に応じたデューティをもつ基準クロックが出力される。分周クロックは分周器17で分周される際、クロック位相比較器12に入力される入力信号と同じ周波数で出力される。これは、現用系、予備系ともにクロック周波数はあらかじめ定まった同一の値を有しているからである。

【0032】この分周器17からは入力信号のフレームパルスと同じ周波数をもつ。分周クロックに同期したフレームパルスがフレームパルス位相比較器18に出力される。フレームパルス位相比較器18では、分周器17から出力される分周フレームパルスと選択器1から出力されるフレームパルスFPの位相が比較され、位相差が出力される。

【0033】分周器17からは、電圧制御発振器により発進されたクロックの分周クロックおよびもとのフレームパルスの周波数に等しい分周フレームパルスが出力される。クロックはデューティが50%に設定されているので、分周クロックもデューティは50%に設定されている。分周器17の分周クロックを出力する側には、デ

ューティ制御器191及び192が2つ設けられている。このデューティ制御器191及び192では、それぞれ分周クロックのデューティを50%から変化させる機能を備えている。例えば、本実施例ではこのデューティは75%と25%に設定されており、これらは疑似クロックとして出力される。クロック選択器13には、上記デューティ制御器191及び192とクロック位相比較器12が接続されている。これらの2つの疑似クロックと位相比較器12から入力されるクロックは、フレームパルス18において検出された両フレームパルスの位相差に応じて選択される。

【0034】回線切替前のフレームパルスの位相が切替後のフレームパルスのそれよりも遅れている場合にも、進んでいる場合にも対応できるように、デューティが50%よりも大きい疑似クロックと小さい疑似クロックが用意されている。

【0035】回線切替前のフレームパルスの位相が切替後のフレームパルスのそれよりも遅れている場合には、切替前のフレームパルスの位相状態を進めるように位相合わせを行う必要があることから、50%よりも大きいデューティをもつ疑似クロックが選択される。逆の場合には、50%よりも小さい疑似クロックが選択される。

【0036】本実施例では、フレームパルスの位相差がクロックの1周期分よりも大きい場合には、疑似クロックが選択される。フレームパルスの位相差がクロックの1周期分よりも小さい場合には、すでに位相飛びの発生は起こらないものとして、基準クロックが選択される。基準クロックが選択された場合には、通常の位相合わせと同様に位相合わせが行われる。

上述の疑似クロックのデューティは、回線切替前後のフレームパルスの位相差によるクロック選択器1のクロックの選択の基準および位相合わせに許容される時間により定められる。すなわち、疑似クロックが選択される位相差の基準が大きい場合には、疑似クロックのデューティも比較的大きい値に設定されなければならない。なぜなら、上記位相差の基準が大きいのもかかわらず、疑似クロックのデューティが50%近傍に設定されたのであれば、結局、位相飛びを有効に回避することが困難になるからである。

【0037】一方、位相合わせに許容される時間が短い場合には、疑似クロックのデューティは50%より大きく離すことはできない。位相合わせに許される時間が短い場合には、デューティを50%近傍にして制御電圧を高くして速く位相合わせを行う必要があるからである。

【0038】ここで疑似クロックのデューティの設定に関して注意しなければならないのは、疑似クロックが選択された状態で疑似クロックを用いて位相合わせが行われることにより、常にフレームパルスの位相が一致するようにならなければならないということである。もし、疑似クロックが選択される状態で、疑似クロックのデ

ーティが高すぎて、制御電圧が逆に設定されるようなことが生じると、フレームパルスの位相は離れる方向に動いてしまう。従って、疑似クロックが選択される状態では、常にフレームパルスの位相が一致するように制御電圧が設定されるように、疑似クロックの制御電圧は設定されなければならない。

【0039】上述した問題は、後で説明する本発明の第3の実施例に示されるように、複数の疑似クロックを設けることにより、明快に解決される。

【0040】次に、上記構成からなる本発明のPLL制御装置の基本動作について説明する。まず、回線切替信号101が選択器1に入力され、回線が現用系から予備系に切替えられる。フレームパルス位相比較器18に入力された予備系のフレームパルスは現用系のフレームパルスと位相が比較され、位相差がクロック選択器13に出力される。

【0041】通常は、回線切替前後で必ずフレームパルスに位相を生じる。本発明のPLL制御装置では回線切替後、位相差が一定以上ある間は、PLL制御回路の分周クロックと入力信号の位相差により設定される基準クロックをそのまま用いて位相合わせを行わうことをしない。位相差が一定以上ある間は、分周クロックのデューティが50%より大きいか、あるいは小さく設定された疑似クロックを用いて位相合わせが行われる。この位相差が正であるとき、すなわち、予備系のフレームパルスの位相が進んでいるときは、現用系のクロックの位相を進めるため疑似クロックの50%より大きいデューティをもつ疑似クロックが選択される。これとは逆に、位相差が負である場合には、50%よりも小さいデューティの側の疑似クロックが選択される。

【0042】このように、位相合わせが終了するまでは、デューティが50%でない疑似クロックによりが位相合わせが行われる。デューティが50%からずれたクロックを用いて位相合わせを行うことにより、アナログ的に電圧制御発振器への位相合わせのための制御電圧が設定され、急激な位相変化を回避することができるので、なめらかな位相合わせを行うことができる。位相合わせの完了後、クロック選択器13への入力位相比較器12の出力側に切替される。

【0043】図1に示されるPLL制御装置では、分周器17の出力側には、50%より大きいデューティ及び小さいデューティをそれぞれ設定するための、2つのデューティ制御器191及び192が設けられている。これに対して、図2のPLL制御装置はデューティ制御器は191のみの1つである。デューティ制御器191により変化された疑似クロックは、クロック選択器13に入力される前に2分岐され、片方は反転器20により反転される。これにより、デューティが50%より大きい疑似クロックと小さい疑似クロックの両方が選択可能となる。なお、低域通過フィルタ14、増幅器15及び電

圧制御発振器16の機能は、従来のPLL制御装置と同じであるので説明は省略する。

【0044】次に、本発明のPLL制御装置を用いた回線切替に伴う位相合わせについて、図2及び図3に示すタイムチャートを参照しながら説明する。FP(0)30及び(1)31はそれぞれ現用系及び予備系の信号のフレームパルスを示す(図3(a)、(c))。CLK(0)40及び(1)41はそれぞれ現用系及び予備系のクロック信号を示す(Fig. 4(b)、(d))。なお、図3では、フレームパルスについては1周期分しか示していない。通常、フレームパルスの位相合わせの精度を高めるため、クロックの周波数はフレームパルスのそれよりも十分高い値に設定される。例えば、フレームパルスの周波数が8kHzであれば、クロックの周波数は80kHzというようにである。

【0045】いま、時刻T1において回線切替信号が選択器1に入力されたとする。このとき、予備系の入力信号のフレームパルスは、現用系のそれよりもCだけ位相が進んでいるとする(図3(c))。この位相差Cは、回線切替後、フレームパルス位相比較器18によって検出され、クロック選択器13に出力される。

【0046】一方、定常状態では、分周器17からは現用系のクロックと同じ位相のフレームパルス及び分周クロック80がそれぞれフレームパルス位相比較器18およびクロック位相比較器12に出力されている。回線切替後は、クロック位相比較器12の入力を切替えて、分周クロック80が選択されるようにする。

【0047】分周クロック80は2分岐され、分岐された分周クロック70はデューティ制御器191に入力される。分周クロック70のデューティは50%であるが、デューティ制御器191により、デューティが75%に変化された疑似クロック71が出力される。疑似クロック71は、さらに2分岐され、一方はそのまま、他方は反転器20を介してクロック選択器13に入力される(図3(f)、(g))。従って、クロック選択器13には、デューティ50%の分周クロック81(図3(e))とデューティ75%及び25%の2つの疑似クロックの3つが入力されることになる。

【0048】ここで、フレームパルスの位相差は、クロックの1周期分よりも大きいことがわかる。従って、この状態では、クロック選択器13は、疑似クロックを選択する。また、位相差は正、すなわち、予備系のフレームパルスFP(0)20が進んでいる状態にあるので、現用系のフレームパルスを進めなければならない。従って、デューティが50%より大きい疑似クロック71が選択される。疑似デューティ71が選択された状態で、PLLループが構成され、位相合わせが行われる。この間、制御電圧60は、プラスの状態にある(図3

(i))。但し、デューティが100%でないので、制御電圧値も最大値とならず、中間の値をとる。また、分

周器 17 からは、位相合わせが行われつつあるフレームパルス 90 がフレームパルス位相比較器 18 に出力される。

【0049】疑似クロックが選択されて位相合わせが行われたことにより、フレームパルスの位相差がクロックの 1 周期分より小さくなると、クロック選択器 13 は、クロック位相比較器 12 から出力される基準クロックを選択する。この状態では、位相飛びの心配がないからである。この状態で、位相差が 0 になるように、位相合わせが行われる（図示省略）。

【0050】切替前の現用系のフレームパルス 30 と分周器から出力されるフレームパルス 90 の位相差が 0 になったとき（図 3 の T2）、両フレームパルスの位相は一致したことになる。このとき、クロック選択器 13 は、入力の選択を疑似クロック 71 から分周クロック 81 に切替られ、位相合わせは終了する。

【0051】本実施例においては、予備系のフレームパルス FP (1) の位相が分周フレームパルス 90 の位相に比べ、クロック 1 周期分より進んでいる場合には、クロック選択器 13 は、分周器 19 からの出力クロックである疑似クロック 71 を選択する。これとは逆に、クロック 1 周期分よりも遅れている場合には、分周器 19 からの出力で反転器 20 により反転された疑似クロック 72 を選択する。分周されたクロックは、電圧制御発振器 16 の制御電圧として低域通過フィルタ 14 に "H" レベルが印加される場合の $1/N$ となるデューティを有するパルスが入力される。本実施例では、疑似クロックの選択の基準をクロックの 1 周期分としたが、これに限らず任意に設定することができる。

【0052】このように、入力選択器 1 の切替の際に切替前の分周されたフレームパルスと切替後のフレームパルスの位相差に応じてクロックを選択する。そして、位相差がクロック 1 周期分より大きい場合には分周されたクロックを、小さい場合は切替後の信号のクロックを選択する。このような構成により、切替に伴う位相差を従来の PLL 制御装置よりも位相とびが生じることなく

$$\begin{aligned} \tau &= \frac{1}{2 \times 10^3 \times 100 \times 10^{-6}} \times \frac{10 \times 10^{-6}}{500 \times 10^{-6}} \\ &= 100 \times 10^{-3} \\ &= 100 \quad [\text{msec}] \end{aligned}$$

【0059】から計算される。この計算の結果、タイムゲート設定時間 τ は 100 msec と設定すればよいことがわかる。ここで、第 1 項の分母は周波数 f の逆数と周波数 f の可変幅の積の逆数である。これは、位相合わせに必要な最大の時間を表している。本実施例の場合は、最悪 5 秒を要することになる。なお、周波数 f の可変幅はここでは $\pm 100 \text{ ppm}$ と設定されている。この設定範囲はタイムゲート 8 により第 2 の分周クロック 17 が選択されず、切替後の信号のクロックが選択されて

めらかにゼロにして、位相を一致させることが可能になる。なお、本実施例では、位相差の判別基準としてクロック 1 周期分としたが、これに限らずこの基準設定を変化させてもよい。

【0053】次に、上記第 1 の実施例の構成にタイムゲートを付加した第 2 の実施例について説明する。第 2 の実施例では、タイムゲートにより所望の時間経過後に位相合わせを打切ることにより、所定時間内に位相を一致させる。

【0054】図 4 は、第 2 の実施例の構成を示すブロック図である。図 3 に示される第 1 の実施例の構成と比較して、選択器 13 には回線切替信号 101 に連動して時間計測を行うタイムゲート 22 が付加されている点異なる。タイムゲート 22 は、選択器 13 に入力される回線切替信号 101 を受ける。これを開始時間として、あらかじめ設定された時間経過前は、上述したと同様の手順により位相合わせを行う。所定の時間経過後は、クロック選択器 13 に選択切替信号を送出し、位相差によらず切替後のクロックを選択させる。

【0055】従って、タイムゲートを設けることにより、強制的に切替後の信号のクロックが選択されるようにすることも可能になる。すなわち、一定時間まではスムーズに位相を一致させる動作をさせる。そして、ある程度時間が経過し位相差が小さくなった時点で、強制的に切替えるようにして一定時間内に確実に切替を行うことが可能になる。

【0056】次に、第 2 の実施例で用いられるタイムゲート 8 の設定時間について詳細に説明する。

【0057】具体的な時間の設定方法について説明する前に、まず、本実施例の PLL 制御装置が用いられている伝送装置のクロックの周波数とフレームパルスの電圧との関係について説明する。Fig. 6 は、上記関係を示す図であり、本実施例では、フレームパルス周波数 f_0 が 2 kHz であり、フレーム位相吸収量を $10 \mu \text{sec}$ とする。このとき、タイムゲート設定時間 τ は、

【0058】

も位相とび等の障害が生じない幅に設定すればよい。一方、第 2 項はフレーム位相吸収量をフレームパルス周波数 f の逆数、すなわちフレームパルス長で除したものである。これは、フレームパルス長に対する位相吸収量の割合を示している。

【0060】従って、図 4 におけるタイムゲート 22 を 100 msec に設定すれば、100 msec までは、分周フレームパルスとの位相差の状態によりクロックの選択が行われる。これにより、位相はなめらかに切換え

られる。そして、100 msec まで時間を要したときには、もはや第2の分周クロックは選択されなくなり切替後の信号のクロックが選択されることになる。このために、必要以上に時間が経過するのを防止することができるようになり、確実に切換えがなされる。

【0061】以上説明したように、本発明のPLL制御方式によれば現用系と予備系の切替において入力フレームパルス間に位相のずれがあっても、位相比較クロック周波数、PLLループ時定数に依存することがない。このため、切替時に電圧制御発振器の制御電圧を抑えることができる。PLL出力クロックの周波数変位を抑制しつつクロックの瞬断、位相飛びを吸収することが可能になる。従って、大容量伝送装置内クロック切替を、主信号に影響を与えることなく行うことができるようになる。

【0062】また、分周器から選択器への出力部に切替開始時間に連動して作動するタイマゲートを設けている。あらかじめ定められた時間経過後はクロックの位相差が1周期内にあるものとしてPLLを構成することにより、切替に必要な時間を所定時間内に制限することも可能になる。

【0063】次に、本発明のPLL制御装置の第3の実施例について説明する。本実施例は、図6に示されるように、分周器17の出力側には4つのデューティ制御器193-196が備えられ、分周クロックはデューティが2つではなく4つに設定される。ここでは、例えば、デューティが65%、80%、20%、35%の4つに設定されている。

【0064】本実施例でも、第1の実施例で説明したのと同様に、まずフレームパルス位相比較器18により現用系と予備系のフレームパルスの位相が比較される。位相差によりデューティが50%より大きい疑似クロックを選択すべきか、小さい疑似クロックを選択すべきかが決定される。本実施例では、さらに位相差の値に応じて、例えばデューティが50%より大きい疑似クロックを選択する場合でも、そのなかでより位相合わせに適した疑似クロックを選択するように構成されている。位相差が大きい場合には、より速く位相差を合わせるため、デューティのより大きい疑似クロックが選択される。一方、あまり位相差が大きい場合には、デューティが小さい方の疑似クロックが選択される。さらに、最初の疑似クロック選択後、随時位相差を監視し、位相差に応じて、その後選択される疑似クロックを変更し、なめらかに、かつ速く位相合わせを行う。

【0065】図7は第3の実施例において、デューティ制御器を197と198の2つとし、第1の実施例の他の構成と同様、反転器201、201を用いて各疑似クロックのを反転させ、4水準のデューティの疑似クロックを発生させている。さらに、本実施例では、タイムゲート211を設け、時間の経過に応じて疑似クロックの

切替を行っている。言うまでもなく、本構成においても、位相差により疑似クロックの切替を行うことは可能である。

【0066】さらに、本発明のPLL制御装置の第4の実施例について説明する。図8は第4の実施例を示しており、第3の実施例と比べ、制御電圧検出器221が増幅器15の出力側に接続されている点が異なる。本実施例では、制御電圧検出器221により制御電圧を検出する。検出された制御電圧の値により、位相差を算出し、適切な疑似クロックを選択するように選択信号をクロック選択器13に送出する。図9は、制御電圧検出器222で検出された制御電圧により位相差を算出し、制御信号をデューティ制御器199に送出する。この制御信号により疑似クロックのデューティを徐々に高い値から低い値になるように制御する。

【0067】第4の実施例では、常に位相差を検出し、位相差に応じて疑似クロックの位相を変化させながら、位相合わせを行う。従って、切替直後に位相差が大きい場合には、疑似クロックのデューティを比較的大きく設定する。その後、位相差が小さくなるにつれて、疑似クロックのデューティも小さくすることができ、より速く、かつなめらかに位相合わせを行うことができる。

【0068】

【発明の効果】以上説明したように、本発明のPLL制御装置は、回線切替前後の入力信号の両フレームパルスの位相を比較し位相差を出力するフレームパルス位相比較器、および分周器から出力される分周クロックをその周波数は一定のままデューティをあらかじめ設定された値に変えた疑似クロックを出力するデューティ制御器を備えている。そして、クロック位相比較器の出力とデューティ制御器の出力とから、フレームパルスの位相差に応じて、どちらかを選択するクロック選択器を備えている。

【0069】回線切替に伴ってクロックの位相合わせを行う際に、切替前後フレームパルスの位相差が大きい場合には、疑似クロックを用いて位相合わせを行う。疑似クロックは、あらかじめデューティが50%よりずらしてある、急激な位相合わせを行うような制御電圧の設定が回避される。この結果、位相飛びを生じず、なめらかな位相合わせが可能になるという効果を奏する。

【0070】さらに、本発明のPLL制御装置では、クロック選択器は、両フレームパルスの位相差がクロックの周波数 f の1周期分より大きく進んでいる場合は、分周クロックが選択される。一方、基準フレームパルスの位相状態が周波数 f の1周期分より大きく遅れている場合は、疑似クロックを選択する。両フレームパルスの位相差がクロックの周波数 f の1周期以内の差である場合には、基準クロックが選択される。

【0071】このようにすることにより、設定されたデ

ューティに応じて、電圧制御発振器の電圧が設定される。すなわち、最大値に電圧が設定されず、クロックの位相合わせのための電圧を任意に設定することができる。従って、急激なクロックの位相変化を防ぎ、徐々に位相合わせを行うことができる。

【図面の簡単な説明】

【図 1】本発明の PLL 制御装置の第 1 の実施例の構成を示すブロック図である。

【図 2】本発明の PLL 制御装置の第 1 の実施例の他の構成を示すブロック図である。

【図 3】本発明の PLL 制御装置の第 1 の実施例におけるクロック等を示すタイムチャートである。

【図 4】本発明の PLL 制御装置の第 2 の実施例の構成を示すブロック図である。

【図 5】本発明の PLL 制御装置のクロック切替における信号周波数と制御電圧との関係を示すグラフである。

【図 6】本発明の PLL 制御装置の第 3 の実施例の構成を示すブロック図である。

【図 7】本発明の PLL 制御装置の第 3 の実施例の他の構成を示すブロック図である。

【図 8】本発明の PLL 制御装置の第 4 の実施例の構成を示すブロック図である。

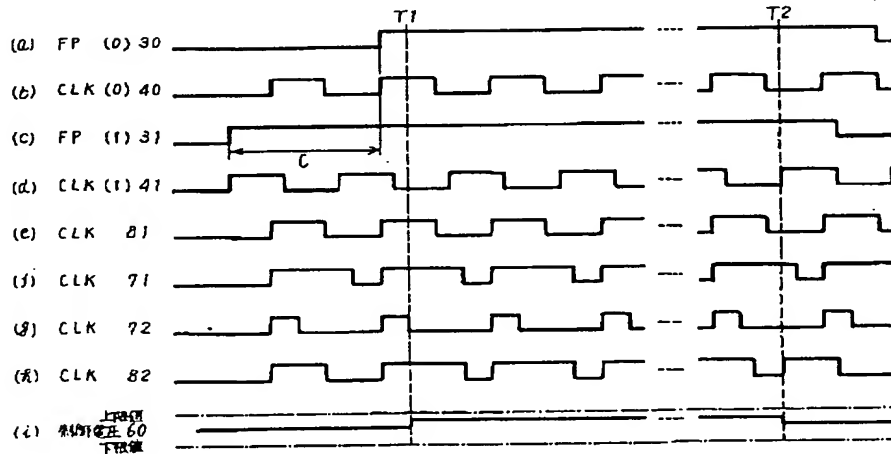
【図 9】本発明の PLL 制御装置の第 4 の実施例の他の構成を示すブロック図である。

【図 10】従来の回線切替機能を有する PLL 制御装置のブロック図である。

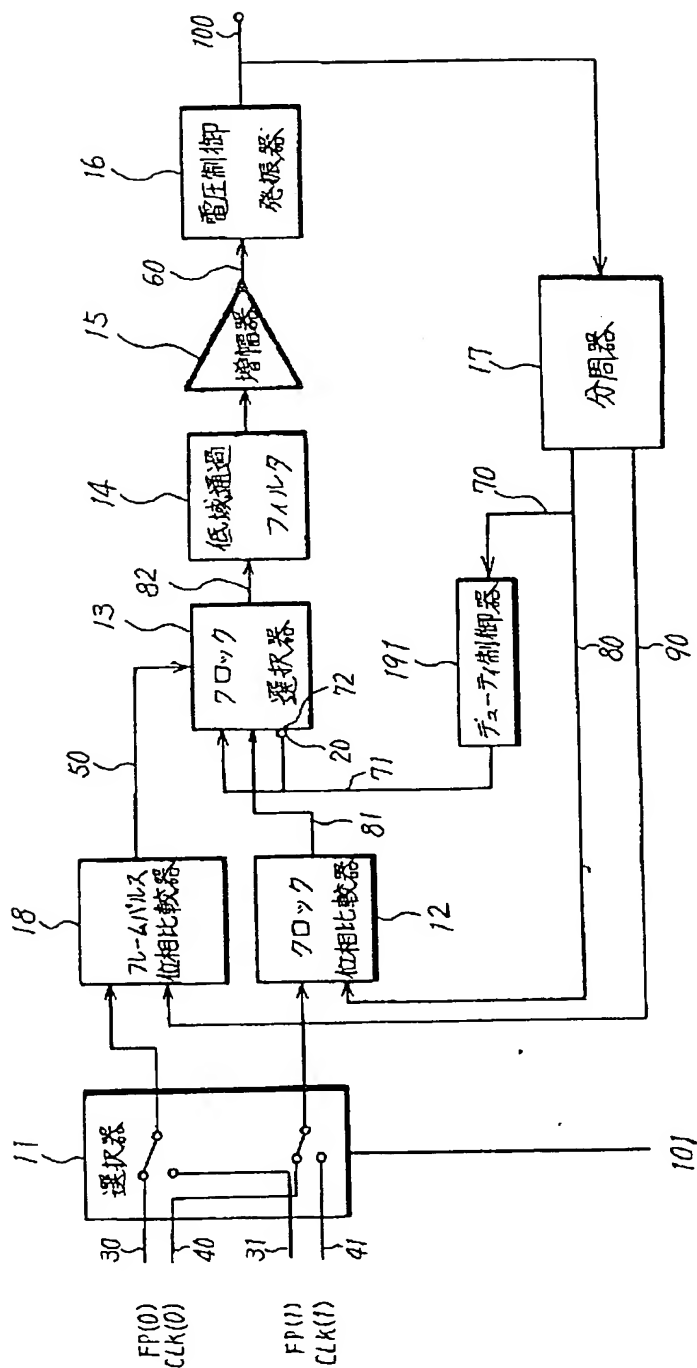
【符号の説明】

- 1 選択器
- 2 クロック位相比較器
- 4 低域通過フィルタ
- 5 増幅器
- 6 電圧制御発振器
- 7 分周器
- 11 選択器
- 12 クロック位相比較器
- 13 クロック選択器
- 14 低域通過フィルタ
- 15 増幅器
- 16 電圧制御発振器
- 17 分周器
- 18 フレームパルス位相比較器
- 19 1 デューティ制御器
- 19 2 デューティ制御器
- 19 3 デューティ制御器
- 19 4 デューティ制御器
- 19 5 デューティ制御器
- 19 6 デューティ制御器
- 19 7 デューティ制御器
- 19 8 デューティ制御器
- 20 反転器
- 21 タイムゲート

【図 4】

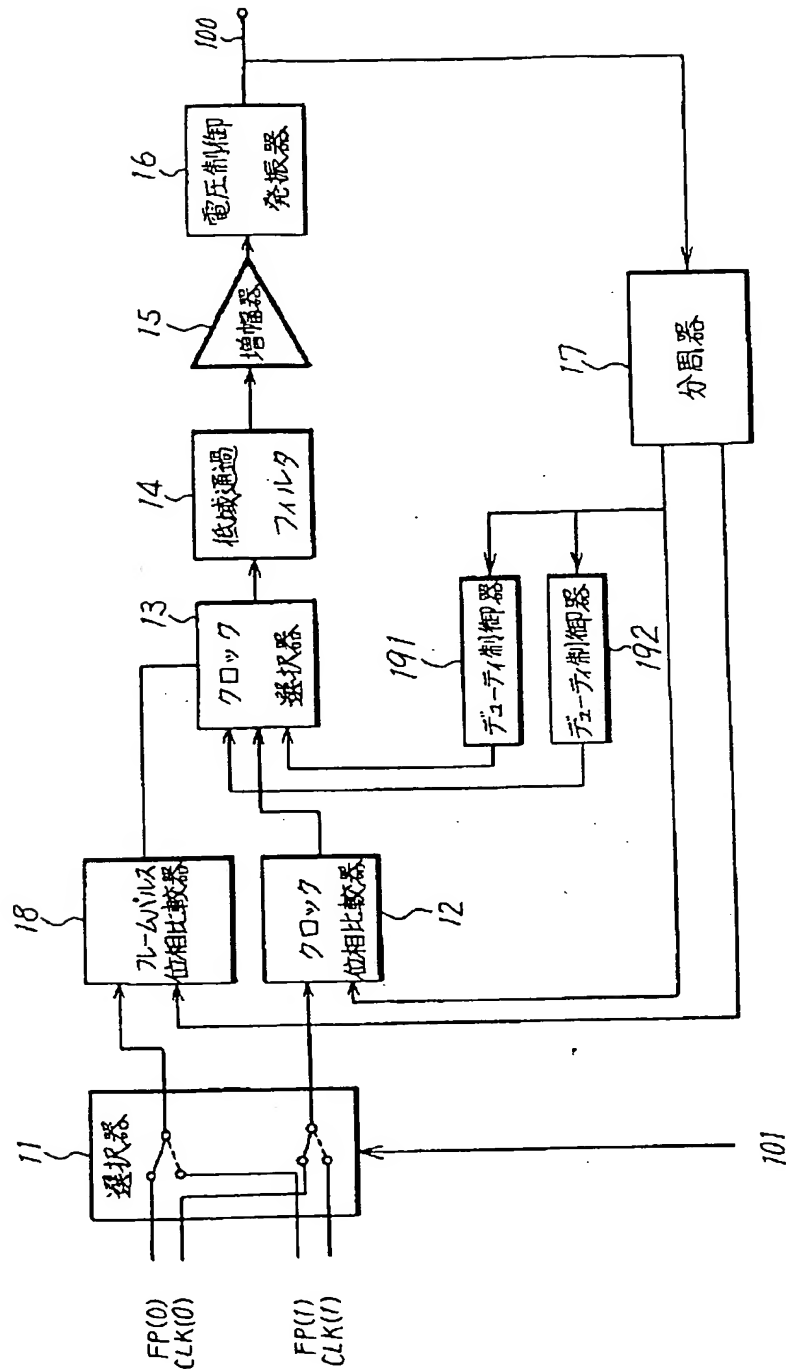


【図3】

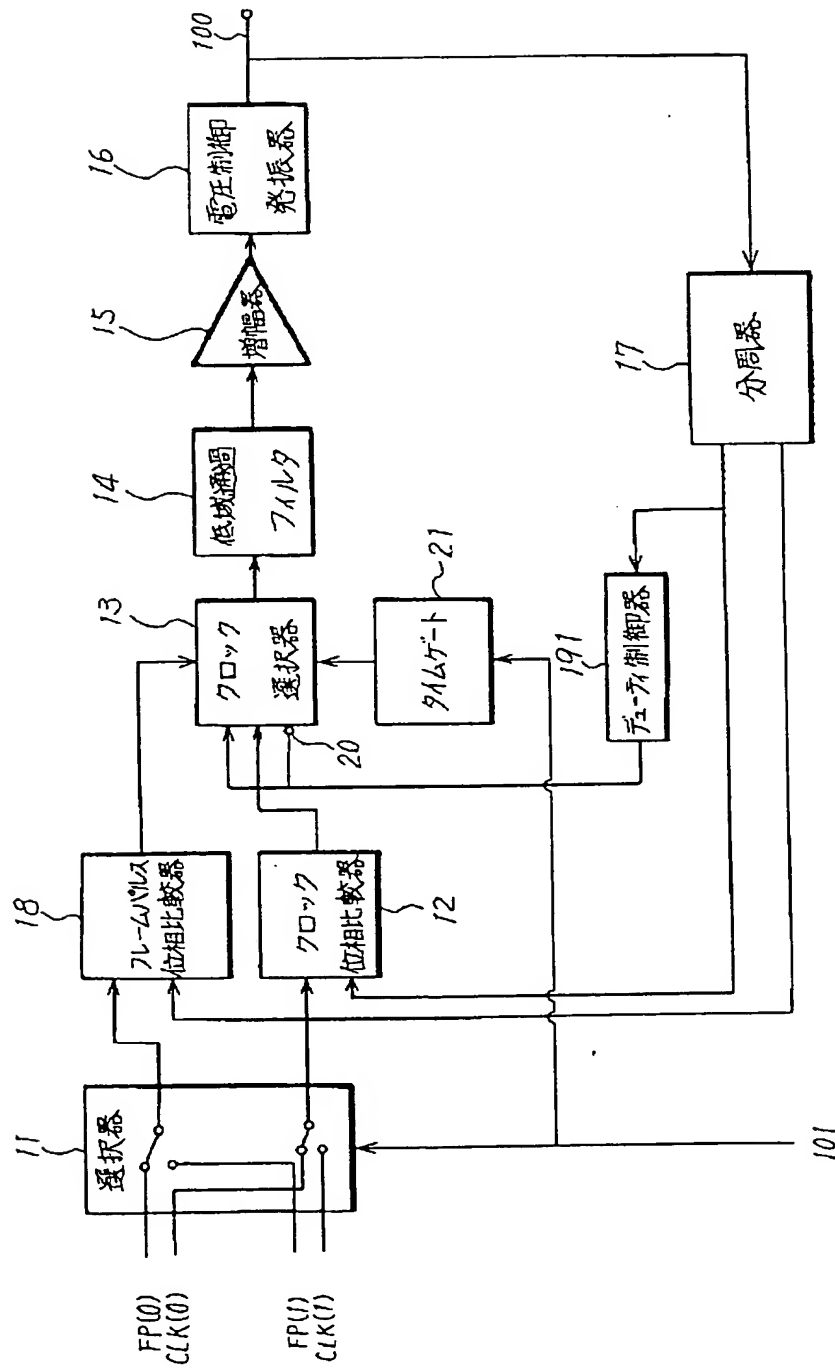


(12)

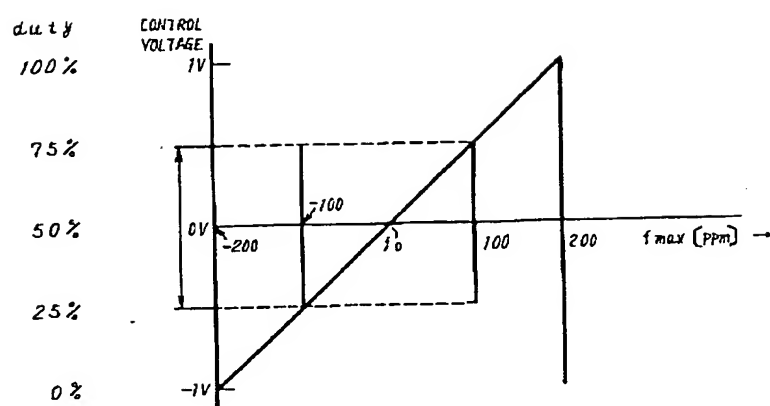
【図 2】



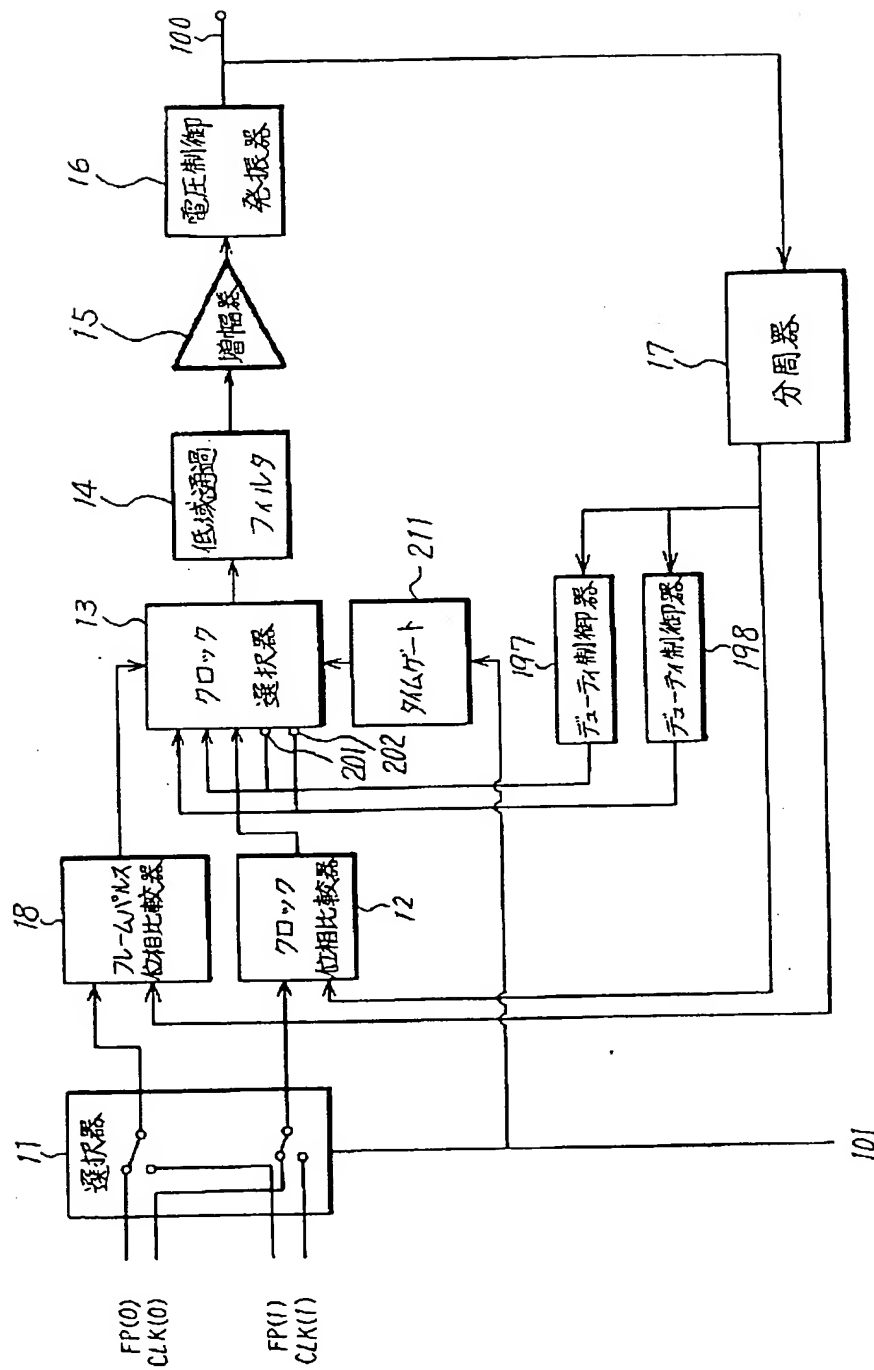
【図 5】



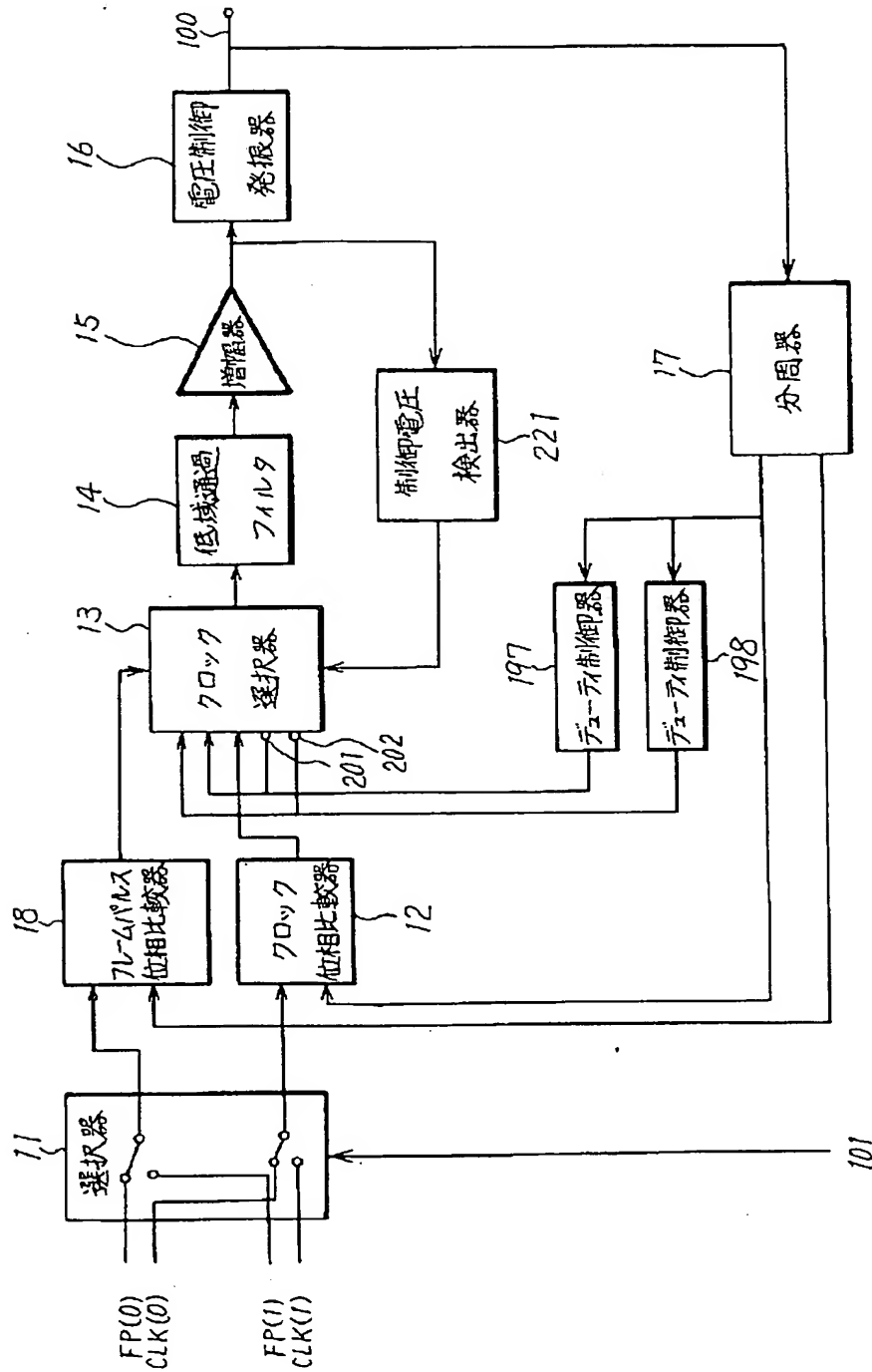
【図 6】



【図 8】



【図 9】



【図10】

